

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
8. August 2002 (08.08.2002)

PCT

(10) Internationale Veröffentlichungsnummer
WO 02/061833 A2

(51) Internationale Patentklassifikation⁷: **H01L 23/498**

Alois [AT/DE]; Traunsteinerstr. 33, 81549 München
(DE). **KRÜGER, Hans** [DE/DE]; Peralohstr. 13, 81737
München (DE).

(21) Internationales Aktenzeichen: **PCT/DE02/00180**

(22) Internationales Anmeldedatum:
21. Januar 2002 (21.01.2002)

(74) Anwalt: **EPPING, HERMANN & FISCHER**; Ridlerstr.
55, 80339 München (DE).

(25) Einreichungssprache: **Deutsch**

(81) Bestimmungsstaaten (national): **CN, JP, US.**

(26) Veröffentlichungssprache: **Deutsch**

(84) Bestimmungsstaaten (regional): europäisches Patent (AT,
BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,
NL, PT, SE, TR).

(30) Angaben zur Priorität:
101 04 574.3 1. Februar 2001 (01.02.2001) **DE**

Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu
veröffentlichen nach Erhalt des Berichts

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme
von US): **EPCOS AG** [DE/DE]; St.-Martin-Str. 53, 81669
München (DE).

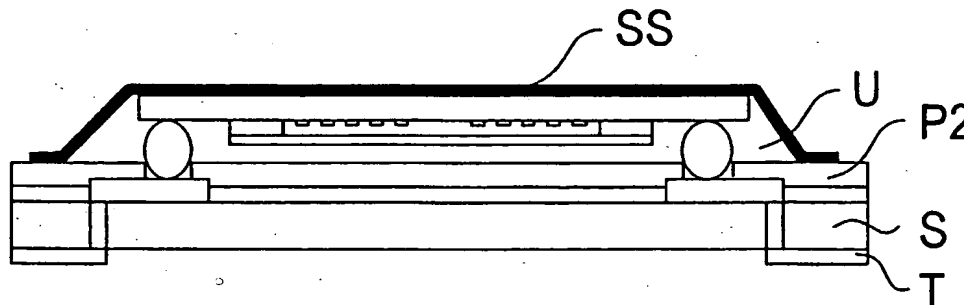
Zur Erklärung der Zweibuchstaben-Codes und der anderen
Abkürzungen wird auf die Erklärungen ("Guidance Notes on
Codes and Abbreviations") am Anfang jeder regulären Ausgabe
der PCT-Gazette verwiesen.

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **FEIERTAG, Gregor**
[DE/DE]; Ruffinstr. 22, 80637 München (DE). **STELZL,**

(54) Title: **SUBSTRATE FOR AN ELECTRIC COMPONENT AND METHOD FOR THE PRODUCTION THEREOF**

(54) Bezeichnung: **SUBSTRAT FÜR EIN ELEKTRISCHES BAUELEMENT UND VERFAHREN ZUR HERSTELLUNG**



(57) Abstract: The aim of the invention is to use a slow dissolving ceramic substrate for components mounted according to the Flip-Clip method, particularly surface wave components, whereby multi-layered metallisations are optionally produced thereon by metal deposition. The bumps can also be produced by self-adjusting metal deposition.

(57) Zusammenfassung: Für in Flip-Chip-Technik montierte Bauelemente, insbesondere Oberflächenwellenbauelemente wird vorgeschlagen, ein schwundarmes Keramiksubstrat zu verwenden, über diesem ggf. mehrschichtige Metallisierungen durch Metallabscheidung zu erzeugen. Auch die Bumps können durch selbstjustierende Metallabscheidung erzeugt werden.

WO 02/061833 A2

Beschreibung

Substrat für ein elektrisches Bauelement und Verfahren zur Herstellung

5

Mit Hilfe der Flip-Chip-Technik gelingt es, Oberflächenwellenbauelemente in einfacher Weise auf einem Träger, beispielsweise einer Platine, zu befestigen und zu kontaktieren, das Bauelement dabei mechanisch geschützt anzuordnen und die
10 gesamte Anordnung weiter in der Größe zu reduzieren. Dazu werden die piezoelektrischen Substrate, auf denen das Oberflächenwellenbauelement in Form von Metallisierungen realisiert ist, auf der Oberfläche mit lötfähigen Kontakten versehen. Auf einer Basisplatte, beispielsweise einer keramischen
15 Mehrschichtplatte aus HTCC-Keramik sind entsprechende Gegenkontakte, die Löt pads vorgesehen. Diese Löt pads sind über Durchkontaktierungen in der Basisplatte angeordnet oder über metallische Leiterbahnen mit diesen verbunden, so dass der elektrische Anschluß an der Rückseite Basisplatte erfolgen
20 kann. Mit nach unten weisenden Metallisierungen wird das Oberflächenwellensubstrat nun auf der Basisplatte montiert und mit Hilfe von Löthöckern - Bumps - die Verbindung zwischen den Löt pads und den lötfähigen Kontakten auf dem Chip hergestellt.

25

Die Bauelementstrukturen auf dem Chip bleiben dabei von der Basisplatte beabstandet und sind in dem zwischen Chip und Basisplatte gebildeten Zwischenraum mechanisch geschützt. Möglich ist es auch, die Bauelementstrukturen vor der Montage
30 des Chips auf der Basisplatte mit Hilfe einer Abdeckung zu schützen, die beispielsweise in einem integrierten Verfahren aus zwei Lagen photostrukturierbaren Materials erzeugt werden kann. Damit werden die Bauelementstrukturen besser gegen Umgebungseinflüsse geschützt. Zur weiteren Versiegelung der
35 Bauelemente ist es möglich, den Chip abzudecken, beispielsweise mit einer Folie oder einer Schicht, die im Randbereich dicht mit der Basisplatte abschließt. Mit Hilfe einer Metall-

schicht oder Metall-Teilschicht gelingt zusätzlich eine HF-Abschirmung des Oberflächenwellenbauelements.

Mit zunehmender Miniaturisierung von in Flip-Chip-Technik montierten Oberflächenwellenbauelementen steigen die Anforderungen an die Basisplatte und die verwendeten Aufbautechniken. Beispielsweise ist eine größere Anzahl von Bump-Verbindungen pro Flächeneinheit erforderlich, die mit herkömmlichen preiswerten Verfahren oft nicht mehr realisierbar sind. Die Aufbringung von Bumps und Leiterbahnen auf der Basisplatte erfolgte bislang in kostengünstiger Weise mittels Siebdruck. Damit können Bump-Abstände bis minimal 250 μm und Bump-Durchmesser bzw. Leiterbahnbreiten von minimal 80 μm erzeugt werden. Sollen noch kleinere Strukturen aufgedruckt werden, ist eine exakte Justierung der Strukturen auf der Basisplatte nicht mehr möglich. Dieses Problem wird dadurch verschärft, dass die Durchkontaktierungen der Basisplatte bereits im Stadium der keramischen Grünfolie erzeugt werden. Durch Sintern wird die Grünfolie dann in die endgültige feste Keramik überführt. Mit herkömmlich verwendeten HTCC-Keramiken geht dabei allerdings ein Flächenschwund einher, der einen Fehler von mehr als 0,2 % verursacht. Dies macht eine sichere Justierung von aufzudruckenden Bumps und Leiterbahnen unmöglich.

Aufgabe der vorliegenden Erfindung ist es daher, ein Substrat bzw. eine Basisplatte für in Flip-Chip-Technik aufzubringende Bauelemente, insbesondere Oberflächenwellenbauelemente anzugeben, welche bei weiter fortschreitender Miniaturisierung eine sichere Justierung der Bauelemente ermöglicht. Eine weitere Aufgabe besteht in der Herstellung eines solchen Substrats.

Diese Aufgabe wird erfindungsgemäß durch ein Substrat mit den Merkmalen von Anspruch 1 gelöst. Vorteilhafte Ausgestaltungen der Erfindung sowie ein Verfahren zur Herstellung des Substrats gehen aus weiteren Ansprüchen hervor.

Die Erfindung schlägt vor, als Substrat für Flip-Chip-montierte Bauelemente eine verzugsarme Keramik zu verwenden und die ggf. erforderlichen Leiterbahnen und Underbumpmetallisierungen (Löt pads) mit Hilfe einer Photostrukturierung in
5 einem additiven oder subtraktiven Verfahren auf dem Substrat in Form einer Mehrschichtmetallisierung zu erzeugen und darüber Bumps aufzubringen.

10 Mit einem solchen Substrat gelingt es, die bisherigen Untergrenzen für Bump-Abstände von 250 μm und von Bump- und Leiterbahndurchmessern von 80 μm deutlich zu unterschreiten, so dass in einfacher Weise eine weitere Miniaturisierung von Bauelementen möglich ist. Mit der Erfindung können beispiels-
15 weise Bauelemente mit Außenabmessungen von 5 x 5 mm² oder besser hergestellt werden. Da die Erzeugung der Bumps auf einer erfindungsgemäßen photolithographisch erzeugten Underbumpmetallisierungen quasi selbstjustierend erfolgen kann, können Bumps für die spätere Flip-Chip-Montage einen Abstand
20 von weniger als 100 μm erzeugt werden. Dennoch ist es mit der Erfindung möglich, sämtliche Verarbeitungsschritte mit höherer Justiergenauigkeit durchzuführen, so dass das Bauelement mit hoher Zuverlässigkeit und mit wenig Ausschuß herstellbar ist.

25

Die erfindungsgemäß verwendete verzugsarme Keramik zeigt beim Sintern einen Schwund mit einem Fehler von weniger als 0,1 %, was im Rahmen der zulässigen Toleranzgrenzen eine sichere Justierung der Metallisierungen auf dem Substrat relativ zu den
30 vor dem Sintern eingebrachten Durchkontaktierungen erlaubt. Eine besonders schwundarme Keramik ist beispielsweise eine ausgewählte non-shrinkage LTCC-Keramik (Low Temperature Cofired Ceramic).

35

Eine herkömmliche, beispielsweise durch Ausstanzen der Grünfolie erzeugte Durchkontaktierung weist üblicherweise Durchmesser von 150 μm auf. In anspruchsvollen Verfahren lassen

sich auch Durchkontaktierungen mit Durchmessern von 100 μm oder gar 80 μm erzeugen. Da ein erfindungsgemäßes Substrat jedoch Bump-Durchmesser von weniger als 75 μm aufweisen kann, ist es vorteilhaft, die Löt pads zur Definition der Bumps nicht direkt auf dem Substrat zu erzeugen, sondern diese in einem Mehrschichtaufbau zu realisieren, welcher zumindest eine Isolationsschicht über dem Substrat und zumindest eine elektrisch leitende Schicht über der isolierenden Schicht umfaßt. In solchen Mehrschichtmetallisierungen lassen sich in einfacher Weise beliebige Verdrahtungsmuster und Löt padgeometrien verwirklichen. Großflächige Anschlußflächen zur Kontaktierung der Durchkontaktierungen können so mit Isolations-

5
10
15

schichten abgedeckt werden, über denen dann kleinflächigere Löt pads mit geringem Abstand als Underbumpmetallisierung erzeugt werden können. So gelingt eine Kompensation der durch das Keramiksubstrat verursachten Ungenauigkeiten, die kleinere Bumpabmessungen und -Abstände ermöglicht.

Die Isolationsschichten für die Mehrschichtmetallisierung sind vorzugsweise photostrukturierbar und besonders vorteilhaft als lichtempfindliche Photoresists eingestellt. Geeignete Basispolymere für diese photostrukturierbaren Isolations-

20

schichten können die für Hochtemperaturbeständigkeit bekannten Polyimide, Polybenzoxazol (PBO) oder Benzocyclobuten (BCB) sein. Diese Polymere können entweder als negativ arbeitender Photoresist, welcher in bestrahlten Gebieten vernetzt, dabei unlöslich wird und seine thermische und chemische Resistenz erhöht, oder als Positivresist eingestellt sein, dessen Löslichkeit durch Bestrahlung erhöht werden kann.

30

Im additiven Verfahren werden die Metallisierungen mittels Photoresist oder photostrukturierbarer Isolationsschichten zunächst definiert. Dazu kann zunächst eine Grundmetallisierung aufgebracht werden, beispielsweise durch Sputtern oder

35

Aufdampfen. Anschließend wird diese mit einer strukturierten Resistschicht oder Photoresistschicht abgedeckt, in der die zu metallisierenden Bereiche freigelegt sind. Zur Aufdickung

der Grundmetallisierung werden in den freigelegten Bereichen die Metallisierungen aus der Lösung abgeschieden. Dazu eignen sich sowohl stromlose als auch galvanische Verfahren, die vorteilhafterweise auch kombiniert angewendet werden können.

5 Eine Mehrschichtmetallisierung umfaßt z. B. eine Haft- oder Keimschicht, eine schnell wachsende Leitschicht und darüber üblicherweise eine Passivierungsschicht aus einem Metall, das oxidationsbeständig ist oder welches mittels dünner Oxid-

10 schicht versehen eine Eigenpassivierung zeigt. Für solche Metallisierungen sind eine Reihe von Verfahren bekannt, die jedoch nicht Gegenstand der Erfindung sind.

Im ebenfalls möglichen subtraktiven Verfahren werden die Metallisierungen durch Aufdampfen oder Sputtern zunächst ganz-

15 flächig in der gewünschten Schichtdicke aufgebracht und erst anschließend strukturiert, beispielsweise mittels Ätzen durch eine strukturierte Resistschicht als Ätzmaske.

Die exakte geometrische Definition der Metallisierungen in

20 der photostrukturierbaren Schicht gelingt mittels bildhafter Belichtung, die mit einer entsprechend justierten Fotomaske durchgeführt werden kann. Möglich ist es jedoch auch, die Belichtung der photostrukturierbaren Schicht mittels scannender Laserbelichtung durchzuführen, die mit Hilfe von Orientie-

25 rungsmarken auf dem Substrat selbstjustierend durchgeführt werden kann.

In einer Ausgestaltung der Erfindung ist es möglich, ein oder mehrere Durchkontaktierungen als Justierungsmarken für die

30 selbstjustierende scannende Laserbelichtung zu verwenden. Dies garantiert eine exakte relative Positionierung der metallischen Strukturen auf dem Substrat relativ zu den bereits vorher vorhandenen Durchkontaktierungen.

35 Im folgenden wird die Erfindung anhand eines Ausführungsbeispiels und der dazugehörigen sieben Figuren näher erläutert.

Die Figuren zeigen anhand schematischer Querschnitte verschiedene Verfahrensstufen bei der Herstellung eines erfindungsgemäßen beispielsweise mit einem Oberflächenwellenbauelement bestückten Substrats.

5

Die Figuren dienen nur zum besseren Verständnis der Erfindung und stellen keine maßstabsgetreuen Abbildungen des Bauelements dar.

- 10 Eine keramische Grünfolie aus einem LTCC-Material wird beispielsweise durch Stanzen mit für äußere Anschlüsse erforderlichen Durchkontaktierungen D versehen. Die Folie wird gesintert, wobei sie einen exakt definierten lateralen Schwund mit einem Fehler von weniger als 0,1% aufweist. Figur 1 zeigt das
15 mit den Durchkontaktierungen D versehene Substrat in diesem Zustand.

- Auf dem Substrat S wird nun eine erste photostrukturierbare Schicht P1 ganzflächig aufgebracht und bildmäßig belichtet,
20 um eine erste Metallisierungsschicht zu definieren. Die auch als spätere Isolationsschicht dienende photostrukturierbare Schicht P1 wird nach dem Entwickeln an den Stellen, die für die erste Metallisierung M1 vorgesehen sind, entfernt. Figur 2 zeigt die Anordnung mit der bereits photostrukturierten
25 Schicht P1.

- Für die Metallisierung wird hier mittels einer stromlosen Metallabscheidung und vorzugsweise galvanischer Verstärkung in den Bereichen, die nicht von der ersten photostrukturierbaren
30 Schicht P1 bedeckt sind, eine dünne Metallschicht M1 abgeschieden, und zwar im Bereich erforderlicher Leiterbahnen und Löt pads. Durch geeignete Abscheidebedingungen wird die Dicke der ersten Metallisierungsschicht M1 und zusammen mit der Metallauswahl deren Stromleitfähigkeit bestimmt.

35

Ganzflächig wird über der Anordnung nun eine zweite photostrukturierbare Schicht P2 aufgebracht. Durch Photostrukturi-

rierung werden die Flächen in der ersten Metallisierungsschicht M1 freigelegt, die Löt pads zur Aufnahme der Bumps, also die Underbump-Metallisierung darstellen. Figur 4 zeigt die Anordnung nach der Freilegung der als Löt pads LP vorgesehenen Bereiche der ersten Metallisierungsschicht M1.

Über den Löt pads LP werden nun die Bumps B erzeugt, vorzugsweise durch galvanische Abscheidung eines als Lot geeigneten Metalles oder einer Metallegierung, beispielsweise einer Blei/Zinnlegierung. Da bei der galvanischen Abscheidung die zweite photostrukturierbare Schicht P2 als Maske dient, ist das Verfahren zur Erzeugung der Bumps selbstjustierend. Für Bumpabmessungen zwischen 50 und 100µm ist auch Schablonendruck zum Erzeugen der Bumps geeignet. Figur 5 zeigt die Anordnung nach der Herstellung der Bumps B. Zusätzlich können in diesem Verfahrensstadium noch an der Rückseite des Substrats S noch die SMD-Metallisierungen T erzeugt werden, mit deren Hilfe das Substrat S später auf eine Platine aufgelötet werden kann.

20

Auf das so fertig vorbereitete Substrat wird nun ein elektrisches Bauelement, z.B. ein Oberflächenwellenbauelement in Flip-Chip-Technik aufgelötet. Dazu wird der piezoelektrische Chip C, welcher an seiner Oberseite die Bauelementstrukturen in Form von elektrisch leitfähigen Strukturen L aufweist, mit zum Substrat S weisenden Bauelementstrukturen L auf die Bumps B aufgesetzt. Dazu weist der Chip C auf der (nach unten weisenden) Oberfläche lötfähige Metallisierungen auf, die die Anschlußmetallisierung für die Bauelementstrukturen L darstellen. Durch Aufschmelzen der Bumps B wird die Lötung durchgeführt. In Figur 6 ist die Anordnung mit dem auf dem Chip C realisierten Oberflächenwellenbauelement in diesem Stadium dargestellt. Zusätzlich zeigt Figur 6 eine von der Anmelderin als PROTEC bezeichnete Schutzabdeckung, welche wie eine Abdeckkappe über den Bauelementstrukturen L aufsetzt. Vorzugsweise besteht die Abdeckung aus einem die Bauelementstrukturen L umschließenden Rahmen R, welcher gleichzeitig

Auflage und Abstandselement für die Abdeckschicht A darstellt. Auf diese Weise sind die Bauelementstrukturen L in einem Hohlraum H zwischen Abdeckung A und Chip C sicher untergebracht.

5

Obwohl mit der PROTEC-Abdeckung bereits ein hinreichender Schutz für die Bauelementstrukturen L gegen Umwelteinflüsse gegeben ist, kann der Chip C zusätzlich noch mit einer Schutzschicht SS abgedeckt werden. Diese liegt auf der Rückseite des Chips C auf und schließt am Rand mit der obersten Substratschicht P2 dicht ab. Die Schutzschicht SS kann eine ggf. mehrschichtige über das Bauelement gelegte Folie sein. Möglich ist es jedoch auch, die Schutzschicht auf dem Bauelement durch Materialabscheidung zu erzeugen und ggf. in den Randbereichen zu strukturieren. Dies kann unterstützt werden, wenn der Unterschnitt U zwischen dem Randbereich des Chips C und der Oberfläche des Substrats S mit einer fließfähigen Füllmasse verfüllt wird, auf die sich dann in einfacher Weise die Schutzschicht C als Schicht aufbringen läßt, beispielsweise durch Aufdampfen oder Aufputtern eines Metalls.

Figur 7 zeigt das Bauelement mit der fertiggestellten Schutzschicht SS. Da sämtliche bisherigen Verfahrensschritte vorzugsweise im Nutzen durchgeführt wurden, bei dem auf einem großflächigen Substrat mehrere Chips in einem Arbeitsgang montiert werden, kann nun die Vereinzelung in einzelne Bauelemente erfolgen. Figur 7 stellt ein solches vereinzelt Bauelement dar, welches effektiv gegen Umgebungseinflüsse, insbesondere mechanische Einwirkungen, Feuchtigkeit, Staub oder Chemikalien geschützt ist. Die Gesamtabmessungen des Bauelements sind nur wenig größer als die Oberfläche des Chips, sind daher äußerst platzsparend und werden von der Anmelderin als CSSP (Chip Size SAW Package) bezeichnet.

Obwohl nur anhand eines Ausführungsbeispiels beschrieben, ist die Erfindung nicht auf dieses beschränkt. Insbesondere ist es möglich, auch für das Substrat S einen Mehrschichtaufbau

zu wählen, bei dem mehrere der dargestellten Grünfolien ggf. unter der Dazwischenanordnung von Leiterbahnstrukturen zu einem dickeren mehrschichtigen Substrat vereinigt werden können. Auch der Aufbau der Metallisierungen auf der Oberfläche des Substrats muß nicht der dargestellten Form genügen. Möglich ist es auch, weitere Metallisierungsschichten von beliebiger Struktur und Dicke zu erzeugen. Letztlich kann dies der besseren Justierung der Löt pads dienen, über denen schließlich selbstjustierend die Bumps erzeugt werden. Der Oberflächenwellenchip kann eine oder mehrere PROTEC Abdeckungen aufweisen, kann aber auch ohne diese Abdeckung auf dem Substrat montiert werden. Es kann auch ein ein anderes Bauelement auf diese Weise verarbeitet, montiert und geschützt werden, beispielsweise ein IC oder auch ein passives Bauelement. Die Schutzschicht SS kann ein- und mehrschichtig sein, wobei eine oder mehrere dieser Schichten eine Metallschicht umfassen können. Außerdem ist es möglich, das gesamte Bauelement oberhalb der Schutzschicht SS noch mit einem Gießharz abzudecken oder mit einer Kunststoffmasse zu umspritzen, was dem weiteren Schutz des Bauelements dient.

Patentansprüche

1. Substrat mit darauf in Flip-Chip Technik mittels Bumps (B) montierten Bauelementen (C) - Chips -,
5 dadurch gekennzeichnet,
daß das Substrat (S) zumindest eine Schicht einer verzugsarmen Keramik umfaßt,
daß Durchkontaktierungen (D) durch die zumindest eine Schicht vorgesehen sind,
10 daß chipseitig Underbumpmetallisierungen (M1) auf dem Substrat vorgesehen sind, die über Leiterbahnen mit den Durchkontaktierungen verbunden sind, und
daß die Bumps (B) galvanisch oder stromlos abgeschieden aus einer Mehrschichtmetallisierung (M1) aufgebaut sind.
15
2. Substrat nach Anspruch 1,
bei dem der Abstand der Bumps (B) weniger als 75 µm beträgt.
- 20 3. Substrat nach Anspruch 1 oder 2,
bei dem das Substrat eine LTCC Keramik umfaßt.
4. Substrat nach einem der Ansprüche 1 bis 3,
bei dem das Substrat (S) eine beim Sintern verzugsarme Keramik umfaßt, deren Schwund nach dem Sintern einem Fehler
25 von weniger als 0,1% erzeugt.
5. Verfahren zur Herstellung eines Substrats für in Flip-Chip Technik mittels Bumps (B) montierbaren Bauelementen -
30 Chips (C),
bei dem in einer verzugsarmen keramischen Grünfolie Öffnungen für Durchkontaktierungen (D) erzeugt werden,
bei dem gegebenenfalls mehrere Grünfolien mit dazwischen angeordneten Leiterbahnen zu einem mehrschichtigen Aufbau
35 (S) vereinigt werden,
bei dem der gegebenenfalls mehrschichtige Aufbau gesintert wird,

5 bei dem auf der Oberfläche des Aufbaus mittels einer Photostrukturierung Löt pads (LP) und diese mit den Durchkontaktierungen verbindende Leiterbahnen definiert und mittels galvanischer und/oder stromloser Metallabscheidung verstärkt werden.

6. Verfahren nach Anspruch 5,
10 bei dem als Grünfolie eine LTTC-Keramikfolie verwendet wird, bei der der Sinterschwund einen Fehler von weniger als 0,1% verursacht.

7. Verfahren nach einem der Ansprüche 5 oder 6,
15 bei dem zur Photostrukturierung ganzflächig eine Photolackschicht (P1) aufgebracht, bildhaft belichtet und anschließend entwickelt wird.

8. Verfahren nach Anspruch 7,
20 bei dem zur bildhaften Belichtung der Photolackschicht (p1) eine scannende Laserbelichtung durchgeführt wird.

9. Verfahren nach Anspruch 8,
25 bei dem eine selbstjustierende scannende Laserbelichtung durchgeführt wird, wobei als Justiermarken die Durchkontaktierungen (D) verwendet werden.

10. Verfahren nach einem der Ansprüche 5 bis 9,
30 bei dem Leiterbahnen und Löt pads (LP) in einem Mehrschichtaufbau (M1) realisiert werden, für den zumindest eine isolierende Schicht (P1, P2) und eine leitfähige Schicht (M1) übereinander erzeugt werden.

11. Verfahren nach Anspruch 10,
35 bei dem photostrukturierbare isolierende Schichten (P1, P2) für den Mehrschichtaufbau erzeugt werden, welche ausgewählt sind aus Polyimid, Polybenzoxazol oder Benzobicyclobuten.

12. Verfahren nach einem der Ansprüche 5 bis 11,
bei dem auf die über den Löt pads (LP) erzeugten Bumps (B)
ein elektrisches Bauelement, insbesondere ein Oberflächen-
wellenbauelement (C) mit zum Substrat weisenden Oberflä-
chenwellenstrukturen (L) über seine lötfähigen Metallisie-
rungen aufgesetzt und verlötet wird.

1/2

Fig 1

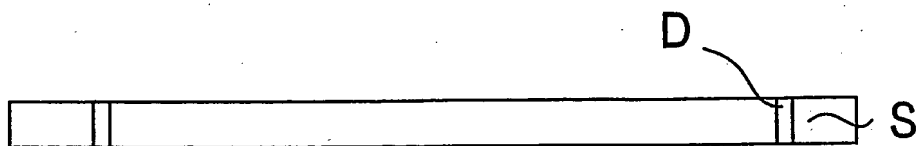


Fig 2

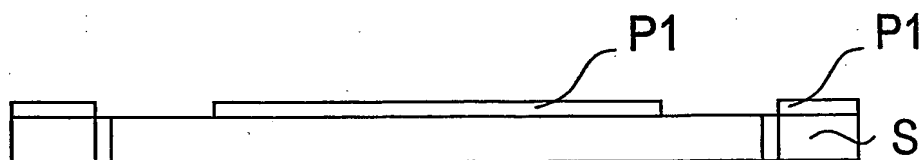


Fig 3

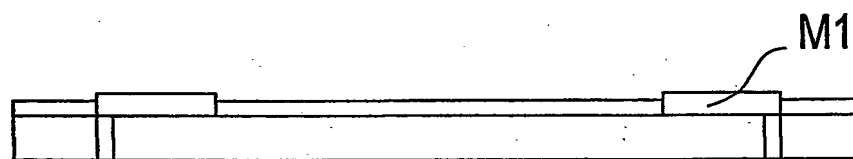


Fig 4

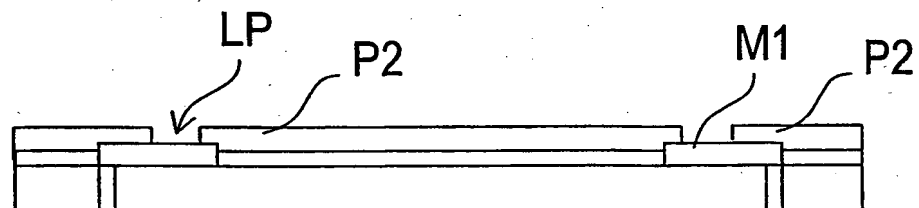
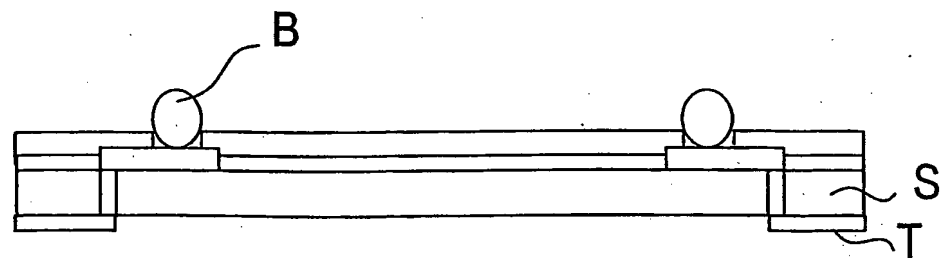


Fig 5



2/2

Fig 6

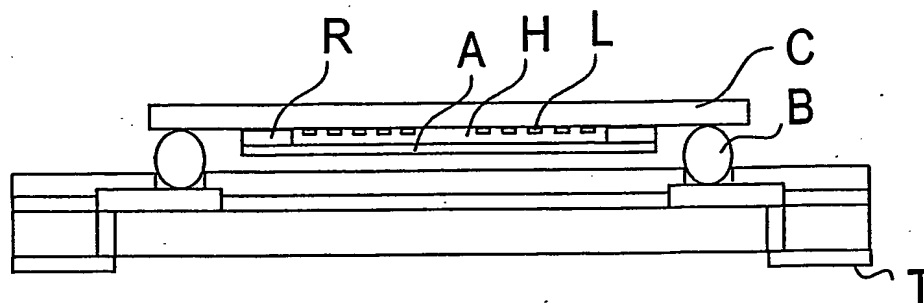
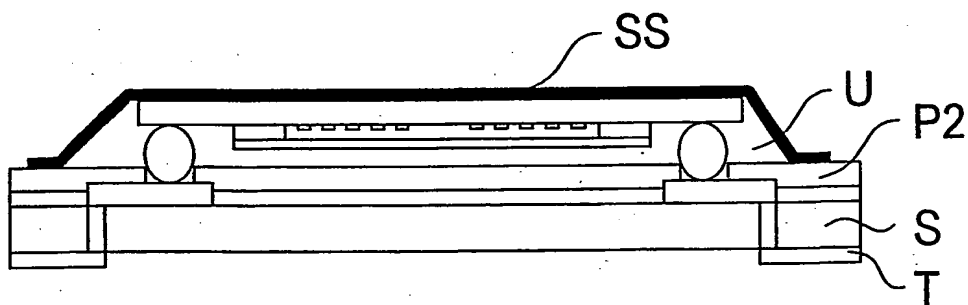


Fig 7



THIS PAGE BLANK (USPTO)